

**MANUFACTURING SEMICONDUCTOR DEVICE**

Patent Number: JP11204803  
Publication date: 1999-07-30  
Inventor(s): YAMANAKA EIJI  
Applicant(s): TOKIN CORP  
Requested Patent: JP11204803  
Application Number: JP19980004732 19980113  
Priority Number(s):  
IPC Classification: H01L29/80  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a method of manufacturing a semiconductor device having a structure which can keep internal resistance low, if a high withstand voltage is provided.  
**SOLUTION:** A manufacturing material comprises step of selectively forming a first inorg. film (Si<sub>3</sub>N<sub>4</sub> film 6') on a control electrode leading layer (p<+> diffused layer 5) distant from an active region part connected to a control electrode layer (p<+> diffused layer 5), forming an n<-> type epitaxially grown single crystal layer 7 (first single crystal layer) on the active region part by the selective epitaxial growth and step of selectively forming a second inorg. film (Si<sub>3</sub>N<sub>4</sub> film 8) just above the single crystal layer 7 surface, and forming a single crystal layer (n<-> type epitaxially grown single crystal layer 9) on other part than the active region part. In this condition, the thickness t<sub>2</sub> +t<sub>3</sub> of a peripheral high- resistance Si layer concerning the withstand voltage is approximately twice the thickness t<sub>2</sub> of the central active region part.

---

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USP 10)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204803

(43) 公開日 平成11年(1999) 7月30日

(51) Int. Cl. <sup>6</sup>  
H01L 29/80

識別記号

F I  
H01L 29/80

V

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平10-4732

(22) 出願日 平成10年(1998) 1月13日

(71) 出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(72) 発明者 山中 英二

宮城県仙台市太白区郡山六丁目7番1号

株式会社トーキン内

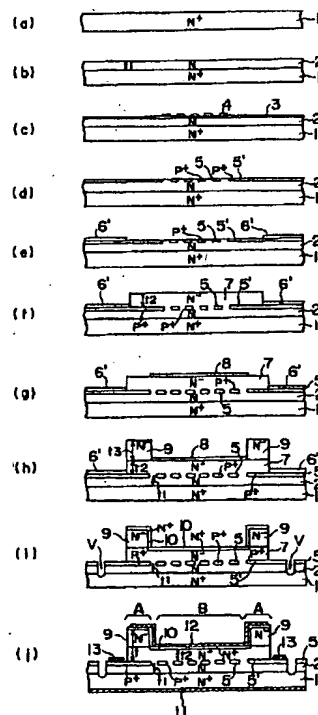
(74) 代理人 弁理士 後藤 洋介 (外 2 名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 高耐電圧化しても内部抵抗を小さいまま維持できる構造の半導体装置の製造方法を提供すること。

【解決手段】 この製造方法は、制御電極層 (P' 拡散層 5) と接続された能動領域部から離れた所に位置される制御電極引き出し層 (P' 拡散層 5') に第 1 の無機膜 (Si<sub>3</sub>N<sub>4</sub> 膜 6') を選択的に形成した後、エピタキシャル成長を選択的に行って能動領域部に N' 型エピタキシャル成長単結晶層 7 (第 1 の単結晶層) を形成する工程と、単結晶層 7 表面の能動領域部の直上に第 2 の無機膜 (Si<sub>3</sub>N<sub>4</sub> 膜 8) を選択的に形成した後にエピタキシャル成長を施して能動領域部以外の部分に第 2 の単結晶層 (N' 型エピタキシャル成長単結晶層 9) を形成する工程とを含む。この状態で耐電圧に関与する外周部の高抵抗シリコン層の厚み  $t_1 + t_2$  を中央部の能動領域部の厚み  $t_2$  に比べて約 2 倍とする。



## 【特許請求の範囲】

【請求項1】 制御電極層を単結晶内部に埋込んだ構造の半導体装置の製造方法において、前記制御電極層と接続された能動領域部から離れた所に位置される制御電極引き出し層に第1の無機膜を選択的に形成した後にエピタキシャル成長を選択的に行って該能動領域部に第1の単結晶層を形成する工程と、前記第1の単結晶層表面の前記能動領域部の直上に第2の無機膜を選択的に形成した後にエピタキシャル成長を施して該能動領域部以外の部分に第2の単結晶層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、主として埋込みゲート構造を有する静電誘導型トランジスタ (Static Induction Transistor / 以下、SITと呼ぶ) に代表される制御電極が単結晶の内部に埋込まれて成る半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 従来、この種の半導体装置として、例えばSITを製造する場合にはその手順として図2(a)～(h)の側面断面図に示されるような各工程に従って行っている。

【0003】 即ち、ここでは先ず図2(a)に示されるように、第1導電型であるN' ドレインオーミック層23上に第1導電型とは逆な第2導電型であるN' ドレインオーミック層24を積層して成る半導体基板に対し、同図(b)に示されるように、N' ドレインオーミック層23側の表面上にSiO<sub>2</sub>膜による熱酸化膜3'を形成すると共に、反対側のN' ドレインオーミック層24表面上にパターン化されたSiO<sub>2</sub>膜14を形成する。

【0004】 次に、図2(c)に示されるように、N' ドレインオーミック層24表面上に通常のフォトリソグラフィ手法によりストライプ又はメッシュ状の選択開孔を施し、第1の導電型である不純物拡散を施すことにより制御電極層としてのP' 拡散層 (埋込みゲート層) 15及びそれに連結した制御電極引き出し層としてのP' 拡散層 (ゲート電極層) 15'を形成する。

【0005】 更に、図2(d)に示されるように、これらの制御電極上にN型の半導体単結晶をエピタキシャル成長させてソース層となるN型エピタキシャル成長単結晶層17を形成することによって埋込んだ後、同図(e)に示されるように、SiO<sub>2</sub>膜による熱酸化膜18を形成する。

【0006】 引き続き、図2(f)に示されるように、通常の熱酸化及びフォトリソグラフィ手法により熱酸化膜18を除去して制御電極層の一部を開孔してからN型エピタキシャル成長単結晶層17の厚みにほぼ等しい深さで開孔部のみを選択的にエッチング除去して制御電極部の局部 (P' 拡散層15') を露呈させる。

【0007】 更に、図2(g)に示されるように、熱酸化及びフォトリソグラフィ手法による選択開孔と不純物拡散とによりN型エピタキシャル成長単結晶層17に対してN' ソースオーミック層19の形成を行い、この後にゲート・ドレイン間PN接合構造の完成のためのメサエッチ溝V'を選択エッチングにより形成してSITの基本構造を得る。

【0008】 最後に、高純度アルミニウムを用いて真空蒸着又はスパッタリングにより各部への電極金属膜の形成及びフォトリソグラフィ手法による各電極金属膜の分離を行うことにより、図2(h)に示されるように、N' ドレインオーミック層23側にドレイン電極金属層21を有し、且つその反対側にメサエッチ溝V'周囲のゲート電極金属層22及びN' ソースオーミック層19上のソース電極金属層20を有する構造としてSITを完成させる。尚、このSITでは、図2(h)に示されるように、耐電圧に関与する半導体層の厚さとして、外周部A及び能動領域部Bの何れも同じ厚さt4となっている。

## 【0009】

【発明が解決しようとする課題】 上述したSITの製造方法の場合、耐電圧に関与する半導体層の厚さが外周部及び能動領域部の何れも同じになっているが、一層の高耐電圧化を望んで厚みを大きくすると、それに比例して内部抵抗も大きくなってしまいうという構造的な欠点がある。

【0010】 本発明は、このような問題点を解決すべくなされたもので、その技術的課題は、高耐電圧化しても内部抵抗を小さいまま維持できる構造の半導体装置の製造方法を提供することにある。

## 【0011】

【課題を解決するための手段】 本発明によれば、制御電極層を単結晶内部に埋込んだ構造の半導体装置の製造方法において、制御電極層と接続された能動領域部から離れた所に位置される制御電極引き出し部に第1の無機膜を選択的に形成した後にエピタキシャル成長を選択的に行って該能動領域部に第1の単結晶層を形成する工程と、第1の単結晶層表面の能動領域部の直上に第2の無機膜を選択的に形成した後にエピタキシャル成長を施して該能動領域部以外の部分に第2の単結晶層を形成する工程とを含む半導体装置の製造方法が得られる。

## 【0012】

【発明の実施の形態】 以下に、本発明の半導体装置の製造方法について、図面を参照して詳細に説明する。図1(a)～(i)は、本発明の一実施例に係る埋込みゲート型Nチャンネル大電力SITを製造する場合の手順を工程別に示した側面断面図である。

【0013】 ここでは先ず図1(a)に示されるように、比抵抗ρが0.002Ωcm以下のリンガドープされた面方位(111)で厚みが300μmの第1導電型

であるN<sup>+</sup> シリコン基板（ソース電極層）1上に対し、同図（b）に示されるように、成長原材料としてSiCl<sub>4</sub>を用いると共に、キャリアガスにH<sub>2</sub>を用いて温度条件1200℃でエピタキシャル成長させて厚さt<sub>1</sub>のN型エピタキシャル成長単結晶層（ソース層）2を形成する。ここでのN型エピタキシャル成長単結晶層2は、比抵抗が4Ωcmであり、厚さt<sub>1</sub>が20μmに設定されている。

【0014】次に、図1（c）に示されるように、同図（b）の前工程での基板に対し、ウェットO<sub>2</sub>雰囲気中で温度条件1100℃として15分間熱酸化を施してN型エピタキシャル成長単結晶層2上の全面にSiO<sub>2</sub>膜による熱酸化膜3を形成した後、この熱酸化膜3上にネガタイプフォトリソ resistを約1μmの厚みで回転塗布して予熱することにより、隙間が2μm、ピッチが10μmのストライプ状のレジストパターンとしてネガ型フォトリソ resist層4を形成する。

【0015】更に、図1（d）に示されるように、同図（c）の前工程での基板に対し、通常のSiO<sub>2</sub>エッチング液（6-4パーファードフッ酸；6-4BHF）で熱酸化膜3を幅2μmで選択開孔し、幅2μmの開孔部にBCl<sub>3</sub>を拡散源としてP<sup>+</sup>型不純物拡散を施すことにより、制御電極層としてのP<sup>+</sup>拡散層（埋込みゲート層）5及びそれに連結した制御電極引き出し層としてのP<sup>+</sup>拡散層（ゲート電極層）5'を形成する。尚、ここでの拡散温度は1100℃であり、拡散方法としては一般的な開管ガス拡散源拡散を用いた。

【0016】引き続き、図1（e）に示されるように、同図（d）の前工程での基板に対し、LP-CVD装置で原料ガスとしてSiH<sub>4</sub>、Cl<sub>2</sub>とNH<sub>3</sub>を用いて温度条件750℃でN型エピタキシャル成長単結晶層2側にSi<sub>3</sub>N<sub>4</sub>膜を全面形成した後、通常的光リソグラフィ手法によりゲート電極層5'上の外周部のみにSi<sub>3</sub>N<sub>4</sub>膜6'が残されるようにする。尚、Si<sub>3</sub>N<sub>4</sub>膜の選択エッチングに際しては、エッチングマスクとしてLP-CVDによるSiO<sub>2</sub>膜（原料ガスSiH<sub>4</sub>、温度条件350℃）を用い、エッチング液としてはH<sub>3</sub>PO<sub>4</sub>（熱リン酸）を用いて温度条件180℃で加工した。

【0017】又、図1（f）に示されるように、同図（e）の前工程での基板に対し、SiCl<sub>4</sub>を原料としてSi<sub>3</sub>N<sub>4</sub>膜6'上を除くN型エピタキシャル成長単結晶層2側の表面にエピタキシャル成長を施してN<sup>+</sup>型エピタキシャル成長単結晶層（ドレイン層）7を形成する。尚、ここでのN<sup>+</sup>型エピタキシャル成長単結晶層7は、比抵抗ρが70~100[Ωcm]であり、厚さt<sub>2</sub>が50μmに設定されている。この工程での特徴は、Si<sub>3</sub>N<sub>4</sub>膜6'上にN<sup>+</sup>型エピタキシャル成長単結晶層7を成長させずにその他の能動領域部に成長させ、選択的にエピタキシャル成長を行う点である。

【0018】即ち、ここまでの工程は、制御電極層（P<sup>+</sup>拡散層5）と接続された能動領域部から離れた所に位置される制御電極引き出し層（P<sup>+</sup>拡散層5'）に第1の無機膜（Si<sub>3</sub>N<sub>4</sub>膜6'）を選択的に形成した後、エピタキシャル成長を選択的に行って能動領域部に第1の単結晶層（N<sup>+</sup>型エピタキシャル成長単結晶層7）を形成するものとなっている。

【0019】更に、図1（g）に示されるように、同図（f）の前工程での基板に対し、N<sup>+</sup>型エピタキシャル成長単結晶層7上の能動領域部直上に対応する部分に上述した場合と同様な手法でSi<sub>3</sub>N<sub>4</sub>膜8を形成する。

【0020】引き続き、図1（h）に示されるように、同図（g）の前工程での基板に対し、N<sup>+</sup>型エピタキシャル成長単結晶層7上のSi<sub>3</sub>N<sub>4</sub>膜8以外の部分に同図（f）の場合と同様に、比抵抗ρが70~100[Ωcm]、厚さt<sub>3</sub>が50μmの設定でエピタキシャル成長によりN<sup>+</sup>型エピタキシャル成長単結晶層（ドレイン層）9を選択成長させて形成する。

【0021】即ち、ここまでの工程は、第1の単結晶層（N<sup>+</sup>型エピタキシャル成長単結晶層7）表面の能動領域部の直上に第2の無機膜（Si<sub>3</sub>N<sub>4</sub>膜8）を選択的に形成した後にエピタキシャル成長を施して能動領域部以外の部分に第2の単結晶層（N<sup>+</sup>型エピタキシャル成長単結晶層9）を形成するものとなっている。この状態で耐電圧に関与する外周部の高抵抗シリコン層の厚みt<sub>1</sub>+t<sub>2</sub>を中央部の能動領域部の厚みt<sub>3</sub>に比べて約2倍とする。

【0022】又、図1（i）に示されるように、同図（h）の前工程での基板に対し、全面熱リン酸に浸漬してSi<sub>3</sub>N<sub>4</sub>膜6'及びSi<sub>3</sub>N<sub>4</sub>膜8を除去した後、上述した場合と同様の熱酸化によりSiO<sub>2</sub>膜を形成した後、通常的光リソグラフィ手法でN<sup>+</sup>オーミック拡散層（ドレインオーミック層）10を選択的に拡散形成し、この後に最外周部にゲート・ドレイン間PN接合を完成させるためのメサエッチ溝Vを選択エッチングにより形成してSITの基本構造を得る。尚、メサエッチ溝Vはフッ酸及び硝酸の混合液（HF:HNO<sub>3</sub>=1:5vol.%）を用いて底部を完全にN<sup>+</sup>シリコン基板1に到達させる必要がある。

【0023】最後に、図1（j）に示されるように、同図（i）の前工程での基板に対し、99.999%以上の高純度アルミニウム又は1%シリコンを含有するアルミニウムを用いて真空蒸着又はスパッタリングにより厚み2~3μmで各部への電極金属膜の形成及び光リソグラフィ手法による各電極金属膜の分離を行うことにより、N<sup>+</sup>シリコン層1側にソース電極金属層11を有し、且つその反対側にメサエッチ溝V周囲のゲート電極金属層13及びN<sup>+</sup>オーミック拡散層10上のドレイン電極金属層12を有する構造としてSITを完成させる。

【0024】尚、メサエッチ溝Vを含む外周部Aのシリコン表面にはジャンクションコーティングレジンや鉛ガラス等の有機又は無機のパッシベーション膜を形成するものとするが、これは一般的なパワー半導体装置を製造する場合と同様な実施事項である。

【0025】以上、SITの製造工程を説明したが、図2(a)～(h)で説明した従来方法と比較すれば、従来方法で得られるSITの場合には図2(h)に示されるように耐電圧に関与する周辺部Aも動作に関与する能動領域部Bも厚さ $t_1$ で同一であったが、ここで得られるSITの場合には能動領域部Bの厚みが外周部Aに比べて約1/2となっているので、この構造であれば耐電圧を同じに設定した場合、内部抵抗 $R_{on}$ の値が約半分となって損失の少ない改善されたものとなる。

【0026】一実施例で得られる構造のSITの場合、その特性の具体例としては、ゲート・ドレイン間耐電圧 $V_{GD}$ が1700V、ゲート・ソース間耐電圧 $V_{GS}$ が150V、ソース・ドレイン間阻止電圧 $V_{DS}$ が1700V、内部抵抗 $R_{on}$ が0.6Ωである場合を例示できるが、これに対して従来方法で得られる構造のSITの場合、他の特性は同じであっても内部抵抗 $R_{on}$ の値が1.0～1.2[Ω]と高くなってしまう。

【0027】尚、一実施例では埋込みゲート型Nチャンネル大電力SITを製造する場合について説明したが、本発明はその他の半導体装置として例えば表面ゲート型やPチャンネルのSIT、更にはSITのみならずバイポーラトランジスタ(BJT)やMOS型FET、或いはサイリスタ等のパワー半導体装置にも適用可能である。但し、何れの半導体装置の場合にも、図1(j)に示したように耐電圧に関与する外周部Aにおける半導体層の厚さ( $t_1 + t_2$ )を厚くし、内部抵抗に関与する能動領域部Bにおける厚さ $t_2$ を薄くする構造とすれば良く、高耐電圧低抵抗の特性が得られる。

【0028】

【発明の効果】以上に述べた通り、本発明の半導体装置の製造方法によれば、耐電圧に関与する外周部Aにおける半導体層の厚さを厚くし、内部抵抗に関与する能動領域部における厚さを薄くする構造としているので、高耐電圧化しても内部抵抗を小さいまま維持できる構造が具現されるようになる。

【図面の簡単な説明】

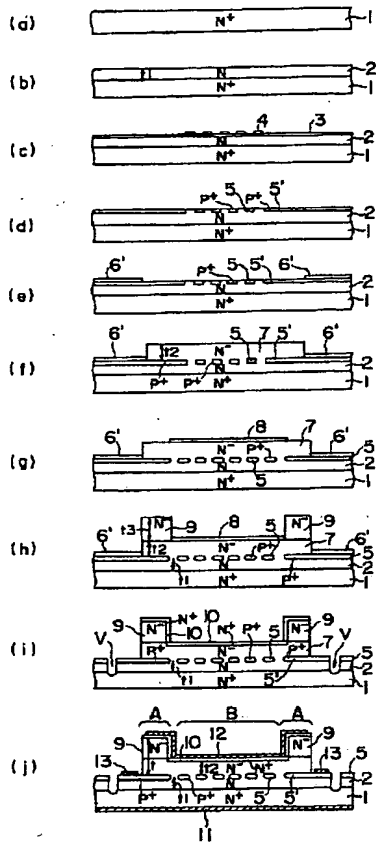
【図1】(a)～(j)は、本発明の一実施例に係る埋込みゲート型Nチャンネル大電力SITを製造する場合の手順を工程別に示した側面断面図である。

【図2】(a)～(h)は、従来のSITを製造する場合の手順を工程別に示した側面断面図である。

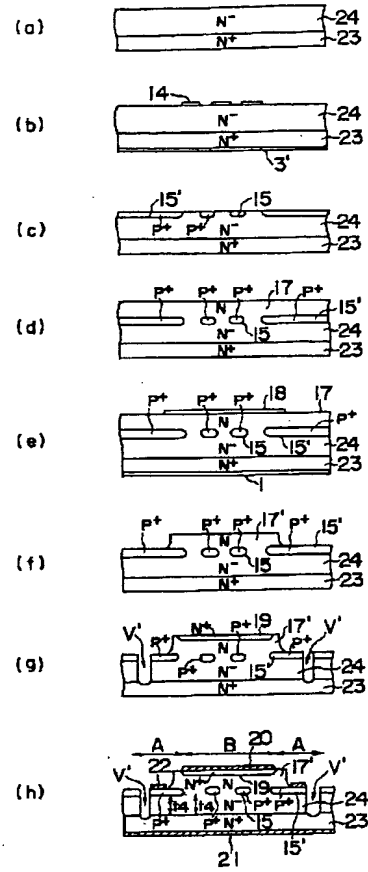
【符号の説明】

- 1 N<sup>+</sup> シリコン基板
- 2, 17 N型エピタキシャル成長単結晶層
- 3, 18 熱酸化膜
- 4 ネガ型フォトリソ膜
- 5, 5', 15, 15' P<sup>+</sup> 拡散層
- 6', 8 Si<sub>3</sub>N<sub>4</sub> 膜
- 7, 9 N<sup>-</sup> 型エピタキシャル成長単結晶層
- 10 N<sup>+</sup> 型オーミック拡散層
- 11, 20 ソース電極メタル膜
- 12, 21 ドレイン電極メタル膜
- 13, 22 ゲート電極メタル膜
- 14 SiO<sub>2</sub> 膜
- 19 N<sup>+</sup> ソースオーミック層
- 23 N<sup>+</sup> ドレインオーミック層
- 24 N<sup>-</sup> ドレイン層
- 30 A 外周部
- B 能動領域部
- V, V' メサエッチ溝

【図 1】



【図 2】



**THIS PAGE BLANK (USPTO)**